

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年10月17日

出願番号
Application Number:

特願2002-302824

[ST.10/C]:

[JP2002-302824]

出願人
Applicant(s):

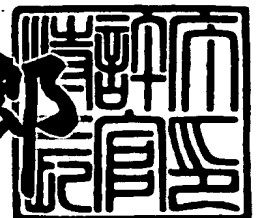
ローム株式会社

U.S. Appln. Filed 10-15-03
Inventor: J. Maede et al
Mattingly Stanger & Malor
Docket KY-195

2003年 7月 4日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3053392

【書類名】 特許願

【整理番号】 PR02-00212

【提出日】 平成14年10月17日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03K 3/037

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 前出 淳

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 阿部 真一

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 藤川 昭夫

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

 【代表者】 佐藤 研一郎

【代理人】

 【識別番号】 100079555

 【弁理士】

 【氏名又は名称】 梶山 信是

 【電話番号】 03-5330-4649

【選任した代理人】

 【識別番号】 100079957

 【弁理士】

 【氏名又は名称】 山本 富士男

 【電話番号】 03-5330-4649

【手数料の表示】

【予納台帳番号】 061207

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711313

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】

有機 E L 駆動回路およびこれを用いる有機 E L 表示装置

【特許請求の範囲】

【請求項 1】

水平 1 ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを有し、前記表示期間に有機 E L パネルの端子ピンに接続された有機 E L 素子を電流駆動する有機 E L 駆動回路において、

前記端子ピンを介して前記有機 E L 素子の陽極側を前記リセット期間に所定の電位にリセットするスイッチ回路と、

前記有機 E L 素子の駆動電流にピークを発生させるピーク電流発生回路と、

前記スイッチ回路によるリセットを禁止しかつ前記ピーク電流発生回路によるピーク電流の発生を停止するリセット禁止回路と、

次の前記水平 1 ラインの走査期間における前記端子ピンから出力される駆動電流が実質的に同じか否かを判定する判定手段と、

走査対象となる前記有機 E L 素子の陰極側を所定の基準電位に接続し、走査が終了した手前の前記有機 E L 素子の陰極側を前記所定の基準電位か、これ以上の高い電位にプルアップするロー側走査回路とを備え、

前記判定手段の判定結果が実質的に同じであるときに前記リセット禁止回路により前記スイッチ回路によるリセットを禁止しかつ前記ピーク電流の発生を停止する有機 E L 駆動回路。

【請求項 2】

さらに前記端子ピンを電流駆動する電流源を有し、前記所定の基準電位は接地電位であり、前記スイッチ回路は、前記表示期間と前記帰線期間とを切り分けるタイミングコントロール信号を受けてリセット動作をするものであって、前記リセット禁止回路は、前記タイミングコントロール信号を阻止することで、リセットを禁止し、前記リセットを禁止したときに前記電流源の動作を停止して前記端子ピンの出力インピーダンスをハイインピーダンスに設定する請求項 1 記載の有機 E L 駆動回路。

【請求項 3】

さらに、表示データを受けてこの表示データを D/A 変換して前記電流源を駆動する電流を発生する D/A 変換回路を有し、前記電流源の動作の停止は、前記 D/A 変換回路の変換動作を停止することで行われる請求項 2 記載の有機 EL 駆動回路。

【請求項 4】

水平 1 ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを有し、前記表示期間に有機 EL パネルの R、G、B の表示色のそれぞれに対応して設けられた端子ピンに接続された有機 EL 素子を電流駆動する有機 EL 駆動回路において、

前記端子ピンを介して前記有機 EL 素子の陽極側を前記リセット期間に所定の電位にリセットするスイッチ回路と、

前記有機 EL 素子の駆動電流にピークを発生させるピーク電流発生回路と、

前記 R、G、B に対応して設けられ、前記 R、G、B に対応するそれぞれの前記スイッチ回路によるリセットを禁止しかつ前記 R、G、B に対応するそれぞれの前記ピーク電流発生回路によるピーク電流の発生を停止するリセット禁止回路と、

前記 R、G、B に対応して設けられ、次の前記水平 1 ラインの走査期間における前記端子ピンから出力される駆動電流が実質的に同じか否かを判定する判定手段と、

走査対象となる前記有機 EL 素子の陰極側を所定の基準電位に接続し、走査が終了した手前の前記有機 EL 素子の陰極側を前記所定の基準電位か、これ以上の高い電位にプルアップするロー側走査回路とを備え、

前記 R、G、B のいずれかの前記判定手段の判定結果が実質的に同じであるときにこの判定回路に対応する前記 R、G、B のいずれかの前記リセット禁止回路により前記 R、G、B のいずれかの前記スイッチ回路によるリセットを禁止しかつ前記ピーク電流の発生を停止する有機 EL 駆動回路。

【請求項 5】

さらに前記端子ピンを電流駆動する電流源を有し、前記所定の基準電位は接地

電位であり、前記スイッチ回路は、前記表示期間と前記帰線期間とを切り分けるタイミングコントロール信号を受けてリセット動作をするものであって、前記リセット禁止回路は、前記タイミングコントロール信号を阻止することで、リセットを禁止し、前記リセットを禁止したときに前記電流源の動作を停止して前記端子ピンの出力インピーダンスをハイインピーダンスに設定する請求項4記載の有機EL駆動回路。

【請求項6】

さらに、表示データを受けてこの表示データをD/A変換して前記電流源を駆動する電流を発生するD/A変換回路を有し、前記電流源の動作の停止は、前記D/A変換回路の変換動作を停止することで行われる請求項5記載の有機EL駆動回路。

【請求項7】

水平1ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを有し、前記表示期間に有機ELパネルの端子ピンを電流駆動する有機EL駆動回路を有する有機EL表示装置において、

前記端子ピンを介してこの端子ピンに接続された有機EL素子の陽極側を前記リセット期間に所定の電位にリセットするスイッチ回路と、

前記端子ピンを介して前記有機EL素子の陽極側を前記リセット期間に所定の電位にリセットするスイッチ回路と、

前記有機EL素子の駆動電流にピークを発生させるピーク電流発生回路と、

前記スイッチ回路によるリセットを禁止しかつ前記ピーク電流発生回路によるピーク電流の発生を停止するリセット禁止回路と、

次の前記水平1ラインの走査期間における前記端子ピンから出力される駆動電流が実質的に同じか否かを判定する判定手段と、

走査対象となる前記有機EL素子の陰極側を所定の基準電位に接続し、走査が終了した手前の前記有機EL素子の陰極側を前記所定の基準電位か、これ以上の高い電位にプルアップするロー側走査回路とを備え、

前記判定手段の判定結果が実質的に同じであるときに前記リセット禁止回路により前記スイッチ回路によるリセットを禁止しかつ前記ピーク電流の発生を停止

する有機 E L 表示装置。

【請求項 8】

水平 1 ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを有し、前記表示期間に有機 E L パネルの R、G、B の表示色のそれぞれに対応して設けられた端子ピンに接続された有機 E L 素子を電流駆動する有機 E L 駆動回路を有する有機 E L 表示装置において、

前記端子ピンを介して前記有機 E L 素子の陽極側を前記リセット期間に所定の電位にリセットするスイッチ回路と、

前記有機 E L 素子の駆動電流にピークを発生させるピーク電流発生回路と、

前記 R、G、B に対応して設けられ、前記 R、G、B に対応するそれぞれの前記スイッチ回路によるリセットを禁止しかつ前記 R、G、B に対応するそれぞれの前記ピーク電流発生回路によるピーク電流の発生を停止するリセット禁止回路と、

前記 R、G、B に対応して設けられ、次の前記水平 1 ラインの走査期間における前記端子ピンから出力される駆動電流が実質的に同じか否かを判定する判定手段と、

走査対象となる前記有機 E L 素子の陰極側を所定の基準電位に接続し、走査が終了した手前の前記有機 E L 素子の陰極側を前記所定の基準電位か、これ以上の高い電位にプルアップするロー側走査回路とを備え、

前記 R、G、B のいずれかの前記判定手段の判定結果が実質的に同じであるときにこの判定回路に対応する前記 R、G、B のいずれかの前記リセット禁止回路により前記 R、G、B のいずれかの前記スイッチ回路によるリセットを禁止しかつ前記ピーク電流の発生を停止する有機 E L 表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、有機 E L 駆動回路および有機 E L 表示装置に関し、詳しくは、有機 E L 表示装置の消費電力を低減することができるような有機 E L 駆動回路および有機 E L 表示装置の改良に関する。

【0002】

【従来の技術】

有機EL表示装置は、自発光による高輝度表示が可能であることから、小画面での表示に適し、携帯電話機、DVDプレーヤ、PDA（携帯端末装置）等に搭載される次世代表示装置として現在注目されている。この有機EL表示装置には、液晶表示装置のように電圧駆動を行うと、輝度ばらつきが大きくなり、かつ、R（赤）、G（緑）、B（青）に感度差があることから制御が難しくなる問題点がある。そこで、最近では、電流駆動のドライバを用いた有機EL表示装置が提案されている。

【0003】

携帯電話機用の有機EL表示装置の有機EL表示パネルでは、カラムラインの数が396個（132×3）の端子ピン（以下ピン）、ローラインが162個のピンを持つものが提案され、カラムライン、ローラインのピンはこれ以上に増加する傾向にある。

ところで、マトリックス状に配置した有機EL素子を電流駆動し、かつ、有機EL素子の陽極と陰極をグラウンドに落としてリセットする有機EL素子の駆動回路が特許文献1として公知である。また、DC-DCコンバータを用いて有機EL素子を低消費電力で電流駆動する技術が特許文献2として公知である。

【0004】

さて、有機EL表示装置では、カラム側（陽極側）の1ラインが電流吐出し側となり、ロー側（陰極走査側）が電流吸い込み側（シンク側）となって、ロー側の走査に応じてカラム側の電流駆動回路から電流が有機EL素子（以下EL素子）の陽極側に出力される。EL素子の陰極側は、CMOSのプッシュプル回路を介してグラウンドGNDに接続され、この駆動電流をシンクする。EL素子は、容量性の素子であるので、このとき、駆動電流の一部を電荷として蓄積する。そのためマトリックス状にEL素子を配置する表示装置にあっては、走査対象となっていない周囲のEL素子からの電荷が流れ込み、誤発光する問題がある。

そのため、水平走査の帰線期間に相当する期間をリセット期間として設けて、ロー側走査（垂直走査）の対象となる水平ラインのEL素子の陽極側を定電圧リ

セットし、かつ、ロー側走査（垂直走査）の走査対象以外の水平ラインのEL素子の陰極側を逆バイアスすることで、誤発光の問題を解決している。

【0005】

【特許文献1】

特開平9-232074号公報

【特許文献2】

特開2001-143867号公報

【0006】

【発明が解決しようとする課題】

近年、駆動ピン数は高解像度の要請により増加する傾向にある。そのため、駆動周波数も高くなり、消費電力は増加する傾向にある。しかし、誤発光防止のために走査対象以外のEL素子をロー側において逆バイアスにすると、逆バイアス分の電荷がEL素子に駆動する方向とは逆方に蓄積される。そのため、それが走査対象となったときには、その分を相殺して駆動するだけの大きな過渡電流が流れる。その結果、逆バイアス分の電荷を蓄積する電流による電力消費と、前記の過渡電流とによる駆動電流の増加が駆動ピン数の増加に応じて無視できなくなっている。

この発明の目的は、このような従来技術の問題点を解決するものであって、有機EL表示装置の消費電力を低減することができる有機EL駆動回路および有機EL表示装置を提供することにある。

【0007】

【課題を解決するための手段】

このような目的を達成するためのこの発明の有機EL駆動回路およびこれを用いる有機EL表示装置の特徴は、端子ピンを介して有機EL素子の陽極側をリセット期間に所定の電位にリセットするスイッチ回路と、有機EL素子の駆動電流にピークを発生させるピーク電流発生回路と、スイッチ回路によるリセットを禁止しかつピーク電流発生回路によるピーク電流の発生を停止するリセット禁止回路と、次の水平1ラインの走査期間における端子ピンから出力される駆動電流が実質的に同じか否かを判定する判定手段と、走査対象となる有機EL素子の陰極

側を所定の基準電位に接続し、走査が終了した手前の有機EL素子の陰極側を所定の基準電位か、これ以上の高い電位にプルアップするロー側走査回路とを備えていて、

判定手段の判定結果が実質的に同じであるときにリセット禁止回路によりスイッチ回路によるリセットを禁止しかつピーク電流の発生を停止するものである。

【0008】

【発明の実施の形態】

ところで、有機EL駆動回路の各カラムピン対応に加えられるEL素子の電流駆動波形は、所定の定電圧にプリチャージする定電圧リセットが行われるので、図3（g）に示すように、この所定の定電圧 V_z からスタートするピーク電流波形（実線）となる。なお、図3（g）の点線は、電圧波形である。

定電圧リセットは、水平走査の帰線期間に相当するリセット期間に行われ、このときの表示期間は、水平1ラインの水平走査期間に相当する。そこで、表示期間とリセット期間の切り分けが表示期間+リセット期間に対応する周期（水平走査周波数）のリセットコントロールパルス（タイミングコントロールパルス）により行われる。なお、図3は、ピンを電流駆動する電流の駆動波形とこれを発生するタイミング信号の説明図である。

そこで、これについて説明すると、図3（a）は、各制御信号のタイミングの基本となる同期クロックCLKであり、図3（b）は、ピクセルカウンタのカウントスタートパルスCSTPである。そして、ピクセルカウンタのカウント値が図3（c）に示されている。図3（d）は、表示開始パルスDSTPであり、図3（e）がリセットコントロールパルスRSであり、（f）がピーク生成パルスPpである。そして、図3（h）があるローラインから次のローラインに走査（垂直走査）を切換えるロー側走査のライン切換パルスRCLKである。

なお、前記した同期クロックCLKと、カウントスタートパルスCSTP、表示開始パルスDSTP、リセットコントロールパルスRS、ピーク生成パルスPp、そしてライン切換パルスRCLK等は、タイミングパルス生成回路を有するコントロール回路（図1のコントロール回路23参照）により発生する。

【0009】

この発明にあつては、判定手段により次の水平走査期間の表示データが現在の水平走査期間の表示データと同一であるか否かを判定して、表示データが同一のときには、あるピンに接続された次のEL素子の駆動電流も実質的に同じ値になるので、そのピンについてリセット禁止回路によりスイッチ回路によるリセットを禁止するとともに次の水平走査期間のピーク電流発生回路によるピーク電流の発生を停止する。そして、ロー側走査回路の走査によりそのピンに接続された走査対象となるEL素子の陰極側が所定の基準電位に接続されたときに、ロー側走査回路による走査が終了したそのピンに接続されたEL素子の陽極側の電荷を次の走査対象となるEL素子の陽極側に供給してこの次に駆動されるEL素子を初期充電する。

そこで、次の1水平走査におけるそのピンに接続されたEL素子は、リセット期間に初期充電されてその手前の1水平走査におけるそのピンの駆動電流と実質的に同一な電流が流されることになる。これにより、次の1水平走査におけるEL素子の輝度は、ほとんど変動しないで済む。

その結果、リセットにより消費される電力とピーク電流による電力とが抑制されて、有機EL表示装置の消費電力全体を低減することができる。

【0010】

また、別の発明として、R、G、Bそれぞれについて次の水平走査の1ライン分の表示データを読み出して現在の水平走査の1ライン分の表示データと比較し、水平1ライン分の表示データが同一か否かの判定して、同一であるときに、前記のリセット期間における水平走査1ライン分のピンのリセットをR、G、B対応に禁止し、かつ、水平走査1ライン分のピーク電流の発生を停止することで、R、G、Bに対応してそれぞれの電力消費を抑制するものである。

【0011】

【実施例】

図1は、この発明の有機EL駆動回路を適用した一実施例の有機ELパネルのカラムドライバにおける、各ピンに対応に設けられる電流駆動回路のブロック図、図2は、そのD/A変換回路の動作停止回路の説明図、図3は、ピンを電流駆動する電流波形とこれを発生するタイミング信号の説明図、図4は、リセット禁

止動作と表示画面との関係の説明図、そして、図5は、R、G、Bの水平1ラインのデータに対応してリセット禁止制御をする電流駆動回路のブロック図である。

図1において、10は、有機ELパネルにおける有機EL駆動回路としてのコラムICドライバ（以下コラムドライバ）であって、1は、コラムドライバ10において、各ピン対応に設けられた電流駆動回路である。

電流駆動回路1は、フラグレジスタ2と、D/A変換回路（D/A）3、ピーク電流生成回路4、出力段電流源5、リセット禁止回路6、リセット回路7、そして、表示データレジスタ8とからなる。

なお、フラグレジスタ2は、各ピン対応に設けられているのではなく、コラムドライバ10の内部に1個設けられ、フラグレジスタ2に記憶されたフラグデータのうちの1ビットが1個の電流駆動回路1に対応している。フラグデータの各ビットは、各ピン対応に設けられている。

20は、コラムドライバを制御するMPUであり、21はメモリであり、22は画面メモリである。23は、コントロール回路であって、リセットコントロールパルスRS、ピーク生成パルスPp等のタイミングパルスを発生し、MPU20により制御される。

【0012】

MPU20は、ピン対応に次の表示データが現在の表示データと同一か否かを判定して、その判定の結果、同一の表示データのときにフラグレジスタ2のそのピン対応のデータ位置に“1”をセットし、同一ではないときには、“0”をセットしたフラグデータを生成する。

そのための処理プログラムとして、表示データ一致判定プログラム21aがメモリ21に格納されている。

また、MPU20は、現在表示対象となっている1画面分の表示データを記憶した画面メモリ22を有していて、表示データ一致判定プログラム21aを実行して、画面メモリ22から次の水平走査1ラインにおける表示データを読み出して、すでに読み出されている現在の水平走査1ラインにおける表示データと比較してコラム側の出力ピン対応に次の表示データが現在の表示データと同じか否かを判

定する。そして、その判定結果得られた前記のフラグデータをフラグレジスタ2にセットする。

なお、前記したように、フラグデータの各ビットは、判定結果が同一のときには“1”であり、同一でないときには“0”になっている。

フラグデータのセットタイミングは、コントロール回路23からピーク生成パルスPp(図3(f)参照)を受けてその立下がりに同期して行われるが、このフラグデータは、ピーク生成パルスPp(図3(f)参照)の立下がりからリセットコントロールパルスRSの立上がりまでの間であれば、いつ行われてもよい。

画面メモリ22から読出した次の水平走査1ライン分の表示データは、次の水平走査1ラインのタイミングまで保持され、これが次の水平走査タイミングで現在の水平走査1ラインの表示データとなる。これが次のリセット期間に表示データレジスタ8等に表示データとして各ピン対応にセットされる。したがって、水平1ライン分の表示データの読出は1回で済む。

なお、電源起動時点の初期では、表示データの比較のために、現在の水平走査1ラインの表示データと次の水平走査1ライン分の表示データを読出すことになるが、最初に現在の水平走査1ラインの表示データが読出されなくても何も問題はない。画面上で最後の水平走査ラインの表示データに対して次の水平走査1ラインを画面上の最初の水平走査ラインとし、水平走査1ラインをエンドレスに循環させて比較すればよい。

【0013】

16は、定電流源であって、ピン対応に設けられ、基準駆動電流をD/A3に供給する。これは、例えば、n個の出力トランジスタを有するカレントミラー回路により、その入力側カレントミラートランジスタで基準電流を受けて、出力側カレントミラートランジスタで基準電流をピン対応に複製して分配する回路である。このような回路の場合には、定電流源16は、この場合の各出力側カレントミラートランジスタが対応している。

ピーク電流生成回路4は、ダイオード接続されたpnp型の入力側トランジスタQsと出力側トランジスタQtとからなり、それぞれのエミッタ側がPチャネル

MOSFETトランジスタ T_{rs} 、NチャネルMOSFETトランジスタ T_{rt} を介して出力段電流源5の入力端子5aに接続されている。

入力側トランジスタ Q_s のコレクタは、D/A3の出力端子3bに接続され、出力側トランジスタ Q_t のコレクタは、グランドGNDに接続されている。トランジスタ Q_s とトランジスタ Q_t のエミッタ面積比は1:xである。

【0014】

ここで、D/A3の出力電流を I_a とすると、ピーク電流生成回路4は、トランジスタ T_{rt} がONしているときには、入力端子5aに $(x+1)I_a$ の駆動電流を発生する。トランジスタ T_{rs} は、トランジスタ T_{rt} に対応して設けられた負荷トランジスタであって、そのゲートはグランドGNDに接続されていて、駆動ラインをバランスさせるために挿入されている。なお、トランジスタ T_{rt} は、駆動初期の一定期間だけリセット禁止回路6を介して端子CONTに図3(f)に示すピーク生成パルス P_p を受ける。このパルスが“H”の期間の間、トランジスタ T_{rt} はONになる。

ピーク電流生成回路4は、出力段電流源5のpnp型の入力側トランジスタ Q_x を、入力端子5a、ベース電流補正駆動用のpnp型のカレントミラートランジスタ Q_u 、 Q_w を介して駆動する。

その結果、入力側トランジスタ Q_x によりトランジスタ T_{rt} がONしたピーク駆動時の一定期間には $(1+x)I_a$ の電流が流れる。その後に通常駆動電流として駆動電流 I_a が出力される。それらが出力段電流源5のpnp型の出力側トランジスタ Q_y でさらにN倍に電流増幅されて、有機ELパネルのピン9に出力される。

出力段電流源5のトランジスタ Q_x とトランジスタ Q_y のエミッタ面積比は1:Nであり、これらトランジスタのエミッタは、例えば、+15V乃至+20V程度の電源ライン+Vccに接続されている。出力側トランジスタ Q_y のコレクタは、カラム側のピン9に接続され、このピン9は、データ線17を介してロー方向（垂直方向）に配列される各EL素子11a, 11b, …の陽極側に接続されている。

【0015】

そこで、この電流駆動回路1は、水平走査期間（表示期間）においては、ピーク電流として $N \times (1+x) I_a$ の駆動電流を、定常電流として I_a の駆動電流をピン9に出力する。これにより容量性負荷となる特性を持つEL素子11（各EL素子11a, 11b, …の代表として）がピーク電流で初期充電されて電流駆動される。

ピン9は、さらにリセット回路7を介して接地されている。リセット回路7は、放電スイッチ回路14とツェナーダイオード15の直列回路で構成されている。放電スイッチ回路14側の一端がピン9に接続され、ツェナーダイオード15の一端が接地されている。

放電スイッチ回路14は、リセット禁止回路6からリセットコントロールパルスRS（図3（e）参照）を受けてリセット期間にONにされる。これにより、EL素子11の陽極側は、リセットコントロールパルスRSが“H”の間、ツェナーダイオード15により設定される定電圧 V_z にリセットされる。

各データ線17に接続される各EL素子11（11a, 11b, …）の陰極は、ロー側走査回路12のプッシュ・プルスイッチ回路13a, 13b, …の各入力／出力端子130に接続されている。このスイッチ回路13a, 13b, …を介して各EL素子11は、グランドGNDあるいは電源ライン+Vccに選択的に接続される。

【0016】

リセット禁止回路6は、3個の2入力アンド（AND）回路6a, 6cとナンド（NAND）回路6bとで構成されている。リセット禁止回路6は、フラグレジスタ2からのフラグデータのうちの1ビットのデータ（以下ビットデータ）とコントロール回路23からリセットパルスRSおよびピーク発生パルスPpとを受けて、その“0”（あるいは“L”）または“1”（あるいは“H”）に応じて、“1”のときに、言い換えればリセット禁止条件のときに、そのアンド回路6aによりリセットコントロールパルスRSの発生を阻止する。また、ナンド回路6bにより表示期間においてピーク電流の発生を阻止する。さらに、アンド回路6cによりリセット期間の間、出力段電流源5の電流出力動作を停止させる。

なお、電流駆動回路1の出力が禁止されることで、ピン9の出力インピーダンス

スはハイインピーダンスになる。また、ピーク電流の発生が阻止されることで、EL素子11は、次の水平走査期間においてピーク電流により初期充電されることなく、現在の水平走査期間の表示期間の駆動電流と実質的に同じ駆動電流が続いて流される。

【0017】

アンド回路6aは、フラグレジスタ2からのビットデータをインバータ2aを介してゲート信号として一方の入力に受ける。ビットデータが“0”のときに、インバータ2aの出力が“H”となり、他方の入力に受けた図3のリセットコントロールパルスRS（図3（e）参照）を放電スイッチ回路14に加えてリセットコントロールパルスRSが“H”の間この間これをONにしてEL素子11を定電圧Vz（＝ツェナーダイオード15のツェナー電圧）にリセットする。これ以外の期間では、リセットコントロールパルスRSが“L”（図3（e）参照）となっているので、アンド回路6aの出力は“L”であり、放電スイッチ回路14は、OFFとなっている。

一方、ビットデータが“1”のときには、インバータ2aの出力が“L”となるので、アンド回路6aのアンド条件は成立しない。そこで、アンド回路6aの出力は“L”のままとなり、リセットコントロールパルスRSはアンド回路6aにより阻止される。

ナンド回路6bは、フラグレジスタ2からのビットデータをインバータ2aを介してゲート信号として一方の入力に受ける。ビットデータが“0”のときに、他方の入力に受けた図3のピーク発生パルスPp（図3（f）参照）を端子CONTに反転して加えて、ピーク発生パルスPpが“H”の間、“L”の信号を発生してPチャンネルのトランジスタTrtをONにしてEL素子11をピーク電流で駆動する。これ以外の期間では、ピーク発生パルスPpが発生しないので、ナンド回路6bの出力は“H”であり、トランジスタTrtはOFFになっている。

一方、ビットデータが“1”のときには、インバータ2aの出力が“L”となり、一方の入力が“L”となるので、ナンド条件が成立してナンド回路6bの出力は“H”となる。それによりピーク発生パルスPpがナンド回路6bにより阻止され、ピーク発生パルスPpを反転した出力“L”は発生しない。このとき、

ナンド回路 6b の出力は “H” のままであり、表示期間中トランジスタ Trt は OFF である。

【0018】

アンド回路 6c は、フラグレジスタ 2 からのビットデータを直接ゲート信号として一方の入力に受ける。他方の入力には、図 3 のリセットコントロールパルス RS (図 3 (e) 参照) を受けるが、ビットデータが “0” のときには、常に、アンド回路 6c の出力が “L” となる。この “L” が入力端子 3a を介して D/A 3 に加えられる。このときの信号 “L” は、D/A 3 に対しては無効な信号であり、D/A 3 の動作状態には影響しない。

一方、フラグレジスタ 2 から受けるビットデータが “1” のときで、かつ、図 3 のリセットコントロールパルス RS (図 3 (e) 参照) が “H” になったときには、言い換えれば、リセット期間に入ったときには、D/A 3 の動作を停止させる停止信号 SP (“H”) がアンド回路 6c から出力される。この停止信号 SP (“H”) が D/A 3 の入力端子 3a に加えられと、D/A 3 は、その動作を停止して、その変換出力電流が “0” になる。その結果、出力段電流源 5b の動作が停止する。

これにより、リセット期間の間、ピン 9 の出力インピーダンスがハイインピーダンスになる。

【0019】

その結果、リセット禁止回路 6 によりピン 9 がリセットされない場合には、言い換えれば、フラグレジスタ 2 から受けるビットデータが “1” のときには、EL 素子 11 の陽極側は、1 つ手現在の表示期間で駆動された電流に対応する所定の電圧が維持され、EL 素子 11 には、この維持された電圧に対応する電荷が蓄積されている。そこで、ロー側走査が次の EL 素子 11 に切換わると、次の EL 素子 11 の陽極に手前の EL 素子 11 の陽極から電荷が供給される。

ロー側走査が切換わると、ロー側走査回路 12 が走査対象となる EL 素子 11 の陰極側を接地 (所定の基準電位に接続) したときに、ロー側走査回路 12 による走査が終了した有機 EL 素子 11 の陽極側の電荷の一部が次の走査対象となる有機 EL 素子 11 の陽極側に供給される。このとき、ピン 9 の出力インピーダン

スがハイインピーダンスになっているので、ピン 9 側への電荷の流出はほとんどない。

【0020】

ピン 9 がリセットされない場合には、次の 1 水平走査においてはピン 9 の駆動電流が同一であるので、次の 1 水平走査におけるピン 9 に接続された E L 素子 1 1 の輝度は、手前の E L 素子 1 1 からの電荷供給により初期充電がリセット期間に行われる。その結果、ロー側走査が切換わる前の水平走査におけるそのピンに接続された E L 素子 1 1 の輝度とロー側走査が切換わった後に駆動される E L 素子 1 1 の輝度とが実質的に同一となり、リセットされない E L 素子 1 1 の輝度の変化はほとんど生じない。

なお、ロー側の走査が終了した E L 素子 1 1 から次のロー側の走査対象となった E L 素子 1 1 への電荷の供給は、ロー側の走査が終了した E L 素子 1 1 の陰極側がプッシュ・プルスイッチ回路 1 3 a, 1 3 b, …の 1 つにより“H”にプルアップされることで、瞬間的に走査対象となった次の E L 素子 1 1 の陽極側に供給される。

なお、この場合、ロー側の走査が終了した E L 素子 1 1 の陰極側が“H”にプルアップされていなくても走査対象と同じ接地電位に設定されていても走査が終了した E L 素子 1 1 からの電荷の供給は可能である。要するに、ロー側の走査において、ある程度の電荷が手前の E L 素子 1 1 からその次の E L 素子 1 1 に供給され、次の E L 素子 1 1 が初期充電されればよい。次の E L 素子 1 1 が同じ電流値で駆動されて発光する輝度であるので、輝度変化はほとんど目立たない。

【0021】

図 2 は、アンド回路 6 c の“H”の出力に応じて変換動作を停止する D/A 3 の回路である。

D/A 3 は、通常、カレントミラー回路により構成され、入力側のトランジスタ TNa に定電流源 1 6 から基準駆動電流を受けて、それを表示データ倍にして出力する回路である。リセット禁止条件のときに、D/A 3 は、リセット禁止回路 6 のアンド回路 6 c から停止信号 S P (“H”) をトランジスタ TNp のゲートに受けてリセット期間の間、カレントミラー回路の各トランジスタを OFF にする

。これによりD/A3は、変換動作を停止する。

図2に示すように、D/A3は、Nチャネルの入力側トランジスタTNaと、Nチャネルの出力側トランジスタTNb～TNn-1のカレントミラー回路で構成されている。さらに入力側トランジスタTNaのゲートとグランドGNDとの間にNチャネルのMOSトランジスタTNpを有している。そして、端子Do～Dn-1に表示データを受ける。そして、トランジスタTNpのゲートは入力端子3aに接続されている。

なお、出力側トランジスタTNb～TNn-1の下流に設けられた抵抗Ra～Rn-1は、カレントミラー回路の動作電流をバランスさせる抵抗であり、抵抗Ra～Rn-1の下流に設けられたNチャネルのトランジスタTrb～Trn-1は、表示データD0～Dn-1によりON/OFFされるスイッチングトランジスタである。

【0022】

ここで、リセット禁止状態のときに、トランジスタTNpは、アンド回路6cから入力端子3aを介して停止信号SP（“H”）をゲートに受ける。これによりトランジスタTNpはONとなり、トランジスタTNa、トランジスタTNb～TNn-1がOFFになって、D/A3の動作が停止する。このとき、D/A3の出力端子3bの電流出力は“0”となり、表示データに応じた変換電流は発生しない。

一方、トランジスタTNpがアンド回路6cから“L”の信号をゲートに受けると、トランジスタTNpは、OFFになり、トランジスタTNa、トランジスタTNb～TNn-1は、通常のカレントミラー回路として動作し、D/A3は、表示データに応じたD/A変換を行う。

【0023】

以上のように、電流駆動回路1にリセット禁止回路6を設けてリセット禁止制御をするカラムドライバ10にあっては、図4に示すような表示画像Aにおいて、表示される画像Bと、その背景Cとからなるものでは、背景Cのような同色の表示領域の場合あるいはR、G、Bの各色においてあるピクセルが現在の水平走査と次の水平走査とにおいて同じ輝度の場合には、リセットされずにかつピーク電流を発生させずに、同じ輝度（同じ駆動電流値）で画像表示が行われる。

この場合に、特に、背景Cの領域は同じ輝度となるので、リセットされずかつ

ピーク電流が発生しない表示領域になる。その結果、その分、消費電流が低減する。

【0024】

図5は、R、G、Bの水平1ラインのデータに対応してリセット禁止制御をする電流駆動回路のブロック図である。

R、G、Bの各水平1ライン分の各放電スイッチ回路は、R、G、Bのピン9に対応して設けられたPMOSチャネルトランジスタ14R、14G、14Bで構成されている。これらのトランジスタのソース側は、それぞれにピン9に接続され、ドレイン側は、それぞれR、G、Bそれぞれに共通のツェナーダイオードDZR、DZG、DZBを介して接地されている。なお、ツェナーダイオードDZR、DZG、DZBは、図1のツェナーダイオード15に対応するものであり、これらは、R、G、Bに分けることなく、共通にツェナーダイオード15が使用されてもよい。なお、図中、G1、9R1、9B1、9G2、9R2、…は、R、G、Bそれぞれのピンであり、それぞれが図1のピン9に対応するものである。

各放電スイッチ回路14R、14G、14Bのゲートは、それぞれR、G、Bに対応して設けられた駆動ライン16、17、18を介してR、G、Bに対応して設けられたリセット禁止回路6R、6G、6BからそれぞれにリセットコントロールパルスRSを受ける。

【0025】

D/A3R、3G、3Bは、それぞれの水平1ライン分の各入力端子3aが駆動ライン16a、17a、18aに接続され、これら駆動ラインを介してリセット禁止回路6R、6G、6Bからそれぞれに停止信号SPを受ける。また、ピーク電流生成回路4R、4G、4Bは、それぞれの水平1ライン分の各端子CONTが駆動ライン16b、17b、18bに接続され、これら駆動ラインを介してリセット禁止回路6R、6G、6Bからピーク発生パルスPpを受ける。

ここで、リセット禁止回路6R、6G、6Bは、R、G、Bに対応して設けられた図1のリセット禁止回路6であり、図示していないが、リセットコントロールパルスRSは、各リセット禁止回路のアンド回路6aから出力され、ピーク発生パルスPpの反転信号がナンド回路6bから出力され、停止信号SPがアンド

回路 6 c から出力される。

D/A 3 R, 3 G, 3 B は、R, G, B に対応して設けられた図 1 の D/A 3 であり、ピーク電流生成回路 4 R, 4 G, 4 B も R, G, B に対応して設けられた図 1 のピーク電流生成回路 4 である。

また、フラグレジスタ 2 b は、R, G, B 対応の 3 ビットのフラグデータを記憶する、図 1 のフラグレジスタ 2 に対応するレジスタである。

【0026】

MPU 20 は、表示データ一致判定プログラム 21 a を実行して、この実施例では、画面メモリ 22 から次の水平 1 ライン分の表示データを R, G, B 対応にそれぞれ読出して、水平 1 ライン分の現在の表示データと同じか否か判定して、R, G, B それぞれの判定結果に応じて 3 ビットのデータをフラグレジスタ 2 b にセットする。

これにより、水平 1 ライン分が同じ色、水平 1 ライン分が同じ輝度（同じ駆動電流値）のものについて、リセットを禁止し、ピーク電流の発生が阻止される。その結果、図 4 の画像表示の背景 B のように同じ色の領域は、リセットが禁止され、その分、消費電流を低減することができる。

【0027】

以上説明してきたが、実施例では、ピン 9 のリセットを禁止した場合において、リセット期間中ピン 9 の出力インピーダンスをハイインピーダンスに保持するために、リセット期間に D/A 変換回路の動作を停止させて出力電流を阻止しているが、出力インピーダンスをハイインピーダンスに保持するのは、D/A 変換回路の動作の停止に限定されるものではない。ピン 9 に電流吐き出しの電流源が接続されている場合には、この電流源の動作を停止させれば、通常、ピン 9 の出力インピーダンスをハイインピーダンスにすることができる。また、このピン 9 は出力端子であるので、電流の逆流はほとんどない。

なお、ピン 9 をハイインピーダンスにすることなく、リセット期間の間、出力電流源を動作状態に維持することで、電流源現在の水平走査期間の駆動電流を流しっぱなしの状態にしてもよい。この場合、次の水平走査のための表示データをリセット期間の間に D/A 3 にセットしても、リセット期間に表示データがセット

されるので、そのノイズは、画面上にほとんど現れない。

さらに、実施例では、ピン 9 に接続された E L 素子の陽極側を定電圧リセットしているが、ここでのリセットは、E L 素子の陽極側を接地してもよく、接地してからプリチャージすることで定電圧にリセットしてもよい。言い換えれば、ここでのリセットは、所定の電位に設定されるようなりセットであれば、どのようなリセットであってもよい。

【 0 0 2 8 】

【発明の効果】

以上説明してきたように、この発明にあつては、判定手段により次の水平走査期間の表示データが現在の水平走査期間の表示データと同一であるか否かを判定して、表示データが同一のときには、あるピンに接続された次の E L 素子の駆動電流も実質的に同じ値になるので、そのピンについてリセット禁止回路によりスイッチ回路によるリセットを禁止するとともに次の水平走査期間のピーク電流発生回路によるピーク電流の発生を停止する。そして、ロー側走査回路の走査によりそのピンに接続された走査対象となる E L 素子の陰極側が所定の基準電位に接続されたときに、ロー側走査回路による走査が終了したそのピンに接続された E L 素子の陽極側の電荷を次の走査対象となる E L 素子の陽極側に供給してこの次に駆動される E L 素子を初期充電して手前の走査のときと実質的に同一な電流で駆動する。

その結果、リセットにより消費される電力とピーク電流による電力とが抑制されて、有機 E L 表示装置の消費電力全体を低減することができる。

【図面の簡単な説明】

【図 1】

図 1 は、この発明の有機 E L 駆動回路を適用した一実施例の有機 E L パネルのカラムドライバにおける、各ピンに対応に設けられる電流駆動回路のブロック図である。

【図 2】

図 2 は、その D / A 変換回路の動作停止回路の説明図である。

【図 3】

図3は、ピンを電流駆動する電流波形とこれを発生するタイミング信号の説明図である。

【図4】

図4は、リセット禁止動作と表示画面との関係の説明図である。

【図5】

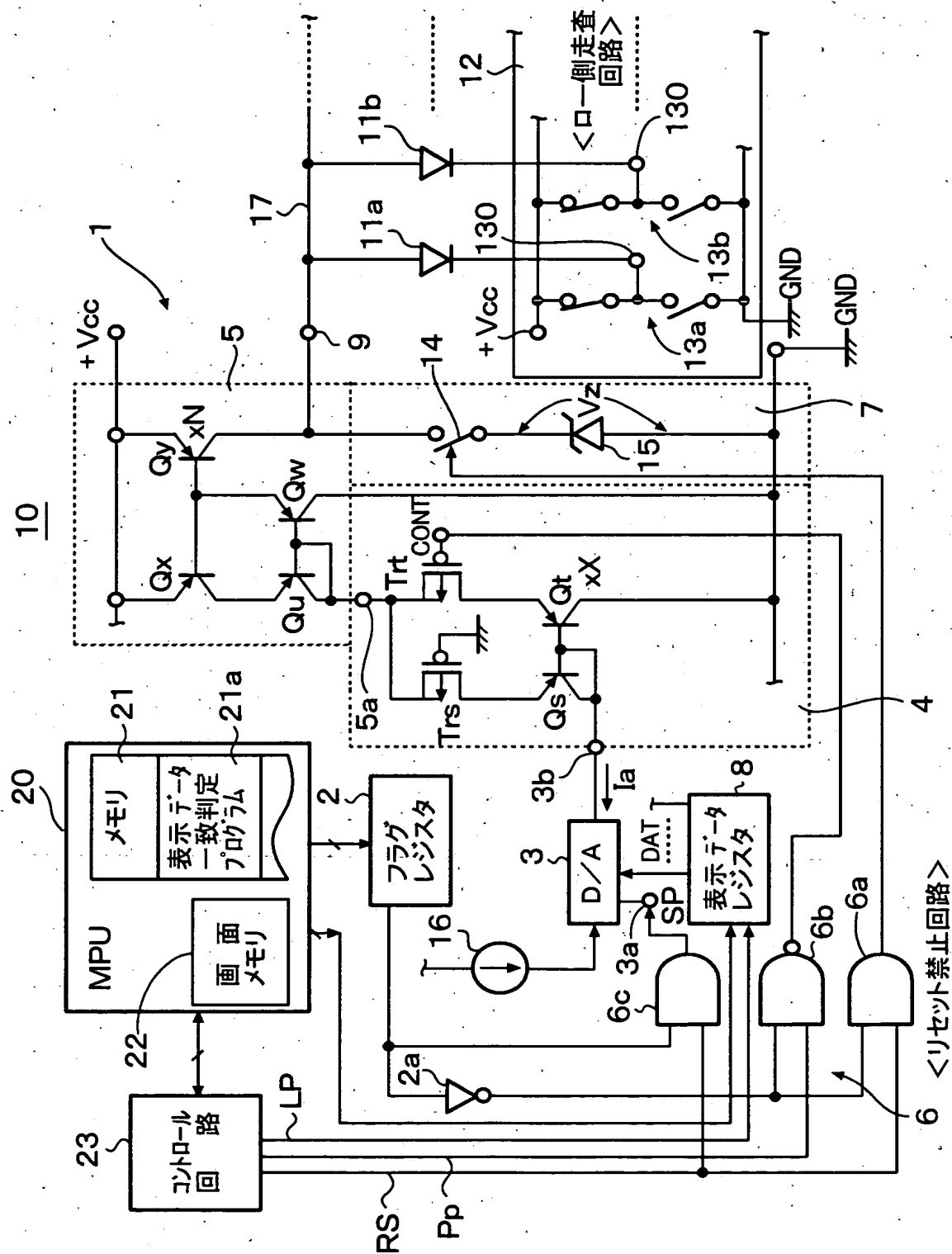
図5は、R、G、Bの水平1ラインのデータに対応してリセット禁止制御をする電流駆動回路のブロック図である。

【符号の説明】

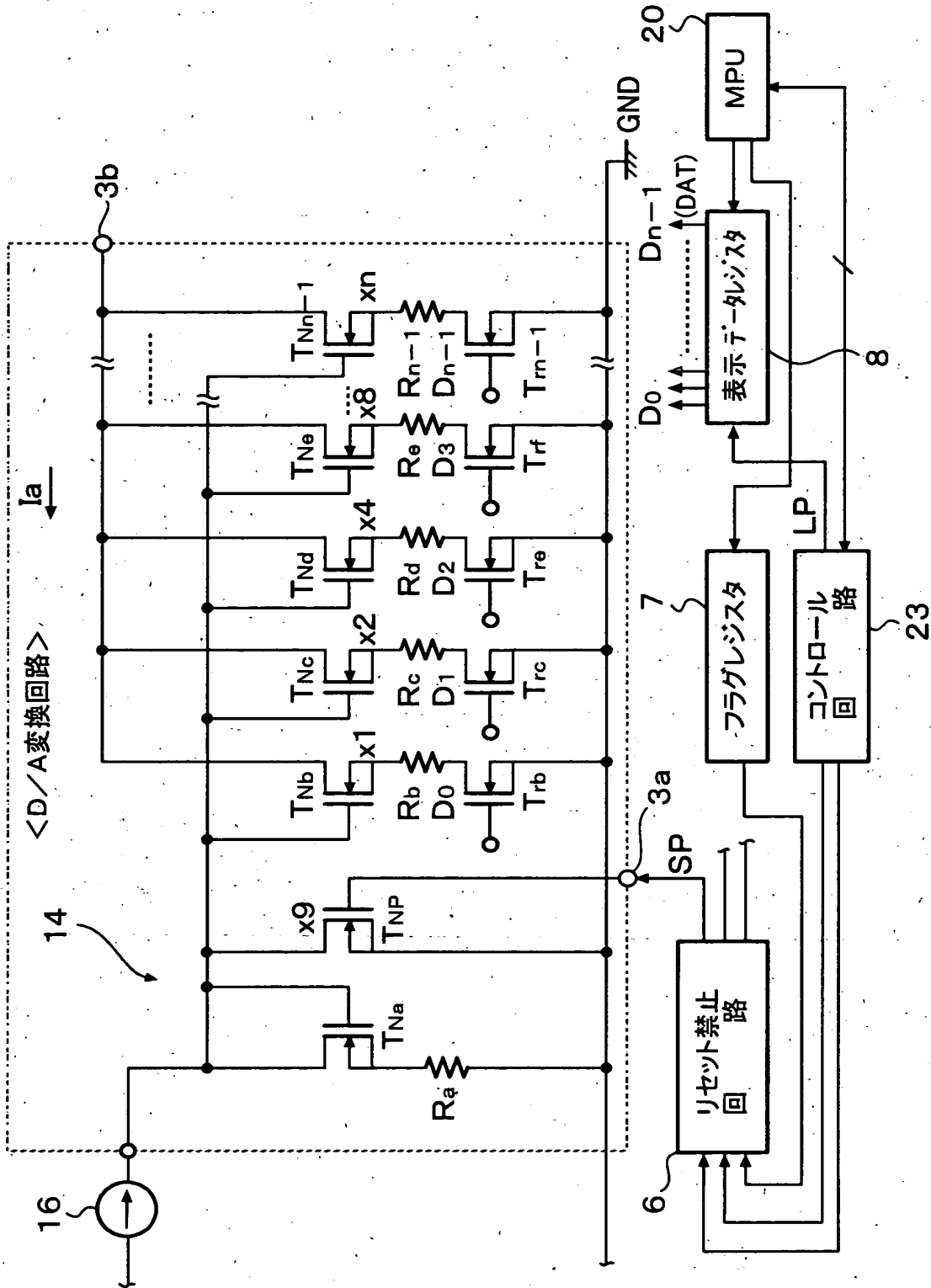
- 1…電流駆動回路、2…フラグレジスタ、
- 3…D/A変換回路(D/A)、
- 4…ピーク電流生成回路4、
- 5…出力段電流源、6…リセット禁止回路、
- 7…リセット回路、8…表示データレジスタw
- 9…ピン、10…カラムドライバ、
- 11…有機EL素子(EL素子)、12…ロー側走査回路、
- 13a、13b…プッシュ・プルスイッチ回路、
- 14…放電スイッチ回路、
- 16…電流源、17…データ線、
- 20…MPU、21…メモリ、
- 21a…表示データ一致判定プログラム、
- 22…画面メモリ、23…コントロール回路、
- Tra~Trn…トランジスタ。

【書類名】 図面

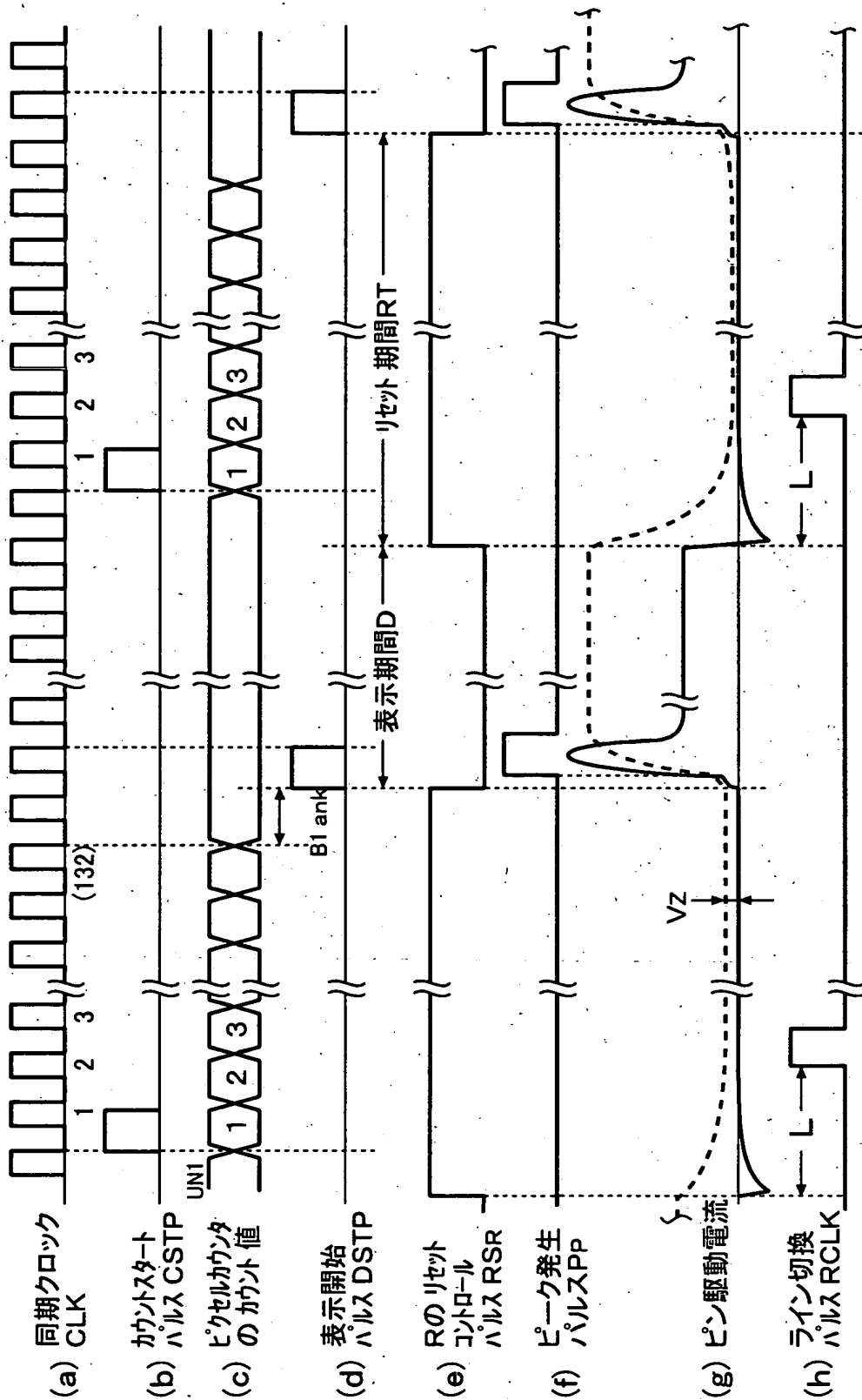
【図 1】



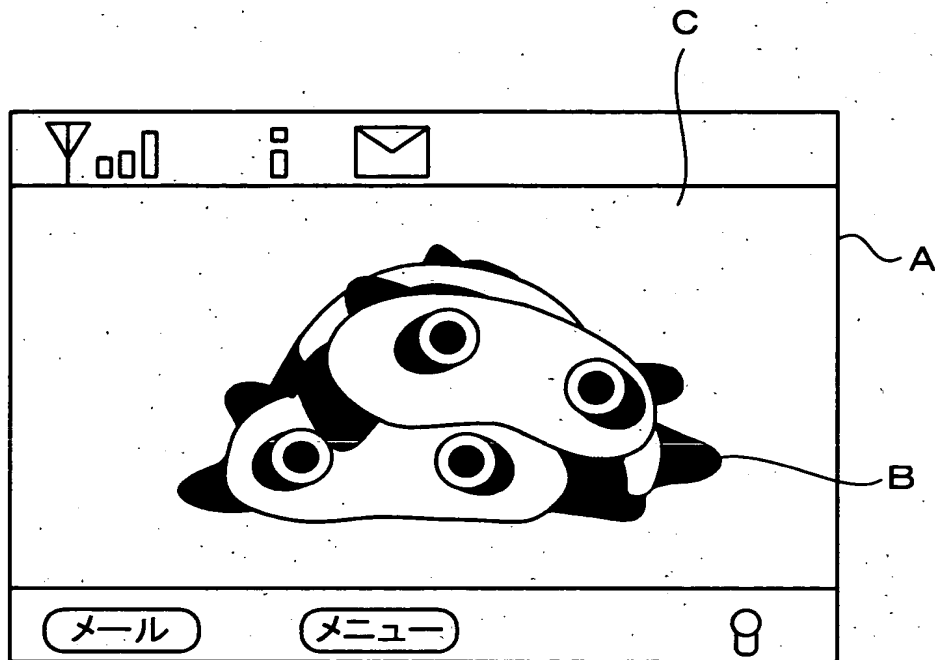
【図2】



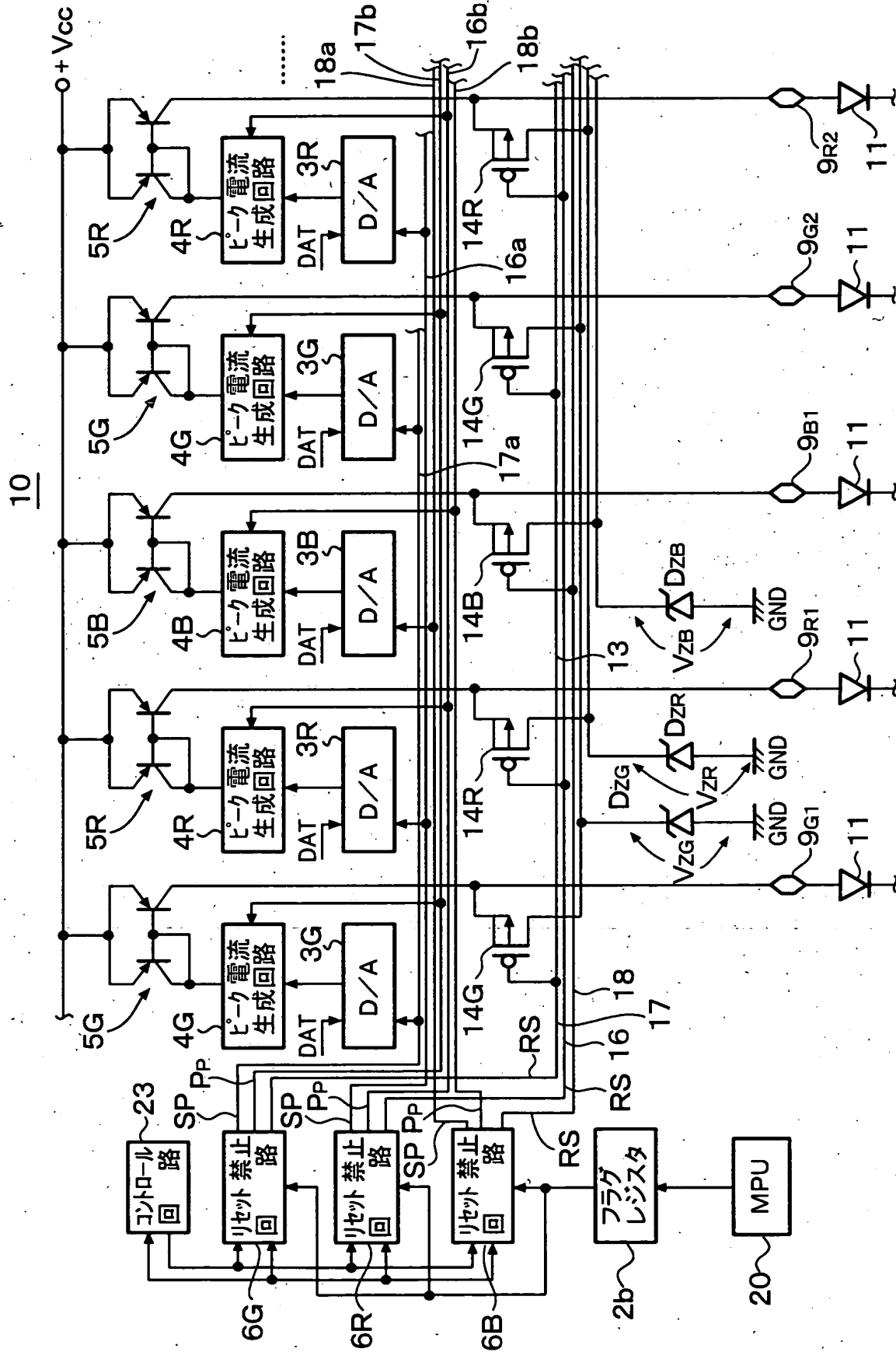
【図 3】



【図 4】



【図 5】



特2002-302824

【書類名】 要 約 書

【要約】

【課題】

有機 E L 表示装置の消費電力を低減することができる有機 E L 駆動回路および有機 E L 表示装置を提供することにある。

【解決手段】

この発明は、判定手段により次の水平走査期間の表示データが現在の水平走査期間の表示データと同一であるか否かを判定し、表示データが同一のときには、あるピンに接続された次の E L 素子の駆動電流も実質的に同じ値になるので、そのピンについてリセット禁止回路によりスイッチ回路によるリセットを禁止し、次の水平走査期間のピーク電流発生回路によるピーク電流の発生を停止する。ロー側走査回路の走査によりそのピンに接続された走査対象となる E L 素子の陰極側が所定の基準電位に接続されたときに、ロー側走査回路のによる走査が終了したそのピンに接続された E L 素子の陽極側の電荷を次の走査対象となる E L 素子の陽極側に供給して初期充電して次の E L 素子を実質的に同一な電流で駆動する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000116024]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 京都府京都市右京区西院溝崎町21番地
氏 名 ローム株式会社